

**CHARGE STORAGE CAPACITANCE DEVICE AND MANUFACTURE THEREFOR,
SEMICONDUCTOR MEMORY DEVICE MOUNTED THEREWITH AND ID CARD USING THE
SAME**

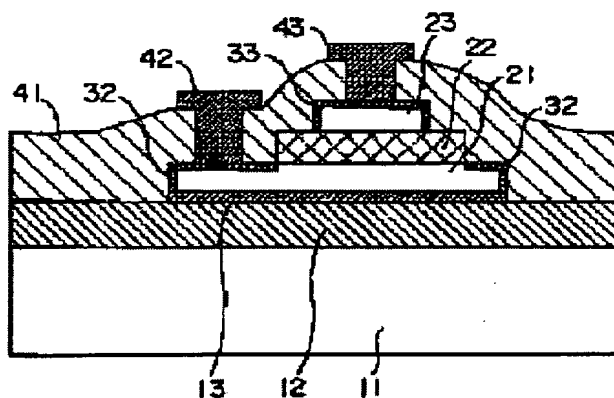
Patent number: JP11297963
Publication date: 1999-10-29
Inventor: HIDAKA OSAMU; KUNISHIMA IWAO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: **G06K19/07; G06K19/077; H01L21/822; H01L21/8242;
H01L21/8247; H01L27/04; H01L27/10; H01L27/108;
H01L29/788; H01L29/792; G06K19/07; G06K19/077;
H01L21/70; H01L27/04; H01L27/10; H01L27/108; H01L29/66;
(IPC1-7): H01L27/108; G06K19/07; G06K19/077; H01L21/822;
H01L21/8242; H01L21/8247; H01L27/04; H01L27/10;
H01L29/788; H01L29/792**
- european:
Application number: JP19980114374 19980410
Priority number(s): JP19980114374 19980410

Report a data error here

Abstract of JP11297963

PROBLEM TO BE SOLVED: To provide a charge storage capacitance device which has a platinum group element or an alloy thereof as an electrode and whose capacitor performance does not deteriorate in the following process and a manufacture therefor, and a semiconductor memory device mounted with the same, and an ID card mounted with the semiconductor memory device.

SOLUTION: The exposed surfaces of the electrodes 21, 23 of a charge storage capacitance device (parts except for a region in contact with an underlayer 13 on which the electrode is formed and a region where the electrode is in contact with a dielectric film 22 to form a capacitance) are covered with protective films 32, 33 which are formed in a self-alignment manner. It is also recommended that the exposed surfaces of the electrodes be made silicide and protective films. The exposed surfaces of the electrodes are covered with the protective films. Also, the exposed surfaces of the electrodes are selectively made silicide to prevent the platinum group metal from being exposed and to prevent a catalytic effect. This can prevent the deterioration of characteristics in the dielectric film, and in particular, the deterioration of the amount of remaining polarization of a ferroelectric film.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297963

(43) 公開日 平成11年(1999)10月29日

(51) Int. Cl. ⁶	識別記号	F I	
H01L 27/108		H01L 27/10	651
21/8242			451
G06K 19/07		G06K 19/00	H
19/077			K
H01L 27/04		H01L 27/04	C
審査請求 未請求 請求項の数 9 F D (全13頁) 最終頁に続く			

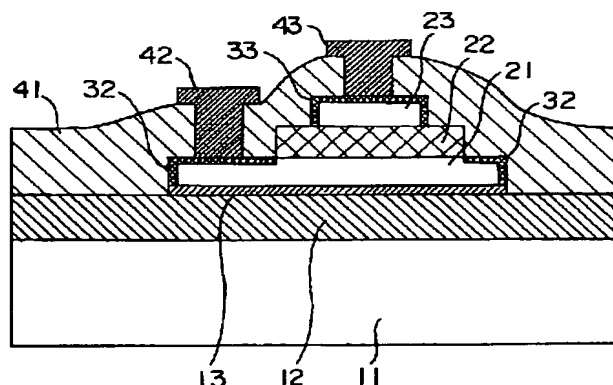
(21) 出願番号	特願平10-114374	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成10年(1998)4月10日	(72) 発明者	日高 修 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72) 発明者	國島 巖 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74) 代理人	弁理士 竹村 壽

(54) 【発明の名称】 電荷蓄積容量素子及びその製造方法、半導体記憶装置及びこれを用いた I D カード

(57) 【要約】

【課題】 後処理工程でキャパシタ性能が劣化しない白金族元素あるいはその合金を電極とした電荷蓄積容量素子及びその製造方法、さらにはこれが搭載された半導体記憶装置及び半導体記憶装置が搭載された I D カードを提供する。

【解決手段】 電荷蓄積容量素子の電極 21、23 表面の露出部分（電極が形成されている下地層 13 と接触している領域及び電極が誘電体膜 22 と接触して容量を形成している領域以外の部分）を自己整合的に形成された保護膜 32、33 で被覆する。電極表面の露出部分をシリサイド化しこれを保護膜としても良い。電極の露出部分を保護膜で被覆する、また、選択的にシリサイド化することにより白金族金属の露出を無くし、触媒効果を抑制する。その結果キャパシタ形成後における処理に制限をなくし、誘電体膜の特性劣化を防止することができる。とくに強誘電体膜の残留分極量の劣化を低く抑えることができる。



【特許請求の範囲】

【請求項 1】 誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の少なくとも一方は白金族金属で形成され、その前記誘電体膜と直接接する界面以外の表面に保護膜が自己整合的に形成されていることを特徴とする電荷蓄積容量素子。

【請求項 2】 誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の少なくとも一方は白金族金属で形成され、その前記誘電体膜と直接接する界面以外の表面に白金族金属のシリサイド膜が自己整合的に形成されていることを特徴とする電荷蓄積容量素子。

【請求項 3】 誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の電極の少なくとも一方は、白金族金属で形成され、その上面及び側面に白金族金属のシリサイド膜が形成されていることを特徴とする電荷蓄積容量素子。

【請求項 4】 前記誘電体膜は、強誘電体からなることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の電荷蓄積容量素子。

【請求項 5】 誘電体膜を介して少なくとも一方が白金族金属から構成された第 1 及び第 2 の電極を対向形成してなる電荷蓄積容量素子の製造方法であって、前記第 1 及び第 2 の電極の前記誘電体膜と接する界面以外の面上にアモルファスシリコン又はポリシリコンを堆積させる工程と、前記堆積されたアモルファスシリコン又はポリシリコンを熱処理して、前記第 1 及び第 2 の電極表面における前記白金族金属の露出部分を自己整合的にシリサイド化する工程とを備えることを特徴とする電荷蓄積容量素子の製造方法。

【請求項 6】 前記シリサイド化で得られたシリサイド膜の表面を熱酸化する酸化工程をさらに備えることを特徴とする請求項 5 に記載の電荷蓄積容量素子の製造方法。

【請求項 7】 前記酸化工程で、前記シリサイド化の際の未反応のアモルファスシリコン又はポリシリコンを酸化させることを特徴とする請求項 6 に記載の電荷蓄積容量素子の製造方法。

【請求項 8】 電極間誘電体に強誘電体膜を用いる情報記憶キャパシタと電荷転送用トランジスタとからなるメモリセルが行列状に配置されたメモリセルアレイを具備する半導体記憶装置において、前記情報記憶キャパシタは、誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の電極の少なくとも一方は白金族金属で形成され、その前記誘電体と直接接する界面以外の表面に白金族金属のシリサイド膜

が自己整合的に形成されていることを特徴とする半導体記憶装置。

【請求項 9】 周囲に送受信アンテナがループ状に形成された略長方形のカードの所定の辺に沿って、請求項 8 に記載の半導体記憶装置が配置されていることを特徴とする I D カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、白金族元素あるいはその合金を電極とした電荷蓄積容量素子に係り、とくに強誘電体膜をキャパシタ膜として用いる強誘電体キャパシタ及びその製造方法、強誘電体キャパシタが搭載された半導体記憶装置及びこの半導体記憶装置を搭載した I D カードに関するものである。

【0002】

【従来の技術】強誘電体キャパシタを用いた不揮発性メモリ（強誘電体不揮発性メモリ）（FRAM: Ferroelectric Random Access Memory）は、バッテリーレス高速動作使用が可能なため R F I D などの非接触カードへの展開が始まりつつある。また、既存のスタティック R A M（S R A M）、フラッシュメモリ、ダイナミック R A M（D R A M）などを置き換えるものとしての期待も大きい。前述の不揮発性メモリは、低消費電力の半導体記憶装置として近年盛んに研究開発がなされている。例えば、強誘電体メモリセルを用いた半導体装置は、米国特許 4,873,664 (Eaton, Jr.) や S. S. Eaton, Jr. et al.

“A Ferroelectric DRAM Cell for High Density NVRAMs”, ISSCC Digest of Technical Papers, pp.130-131, Feb. 1988 等に記載されている。強誘電体メモリセルの情報記憶用キャパシタには、チタン酸バリウム ($B a T i O_3$)、チタン酸ジルコン酸鉛 ($P b (Z r, T i) O_3$; P Z T)、ランタンドープドチタン酸ジルコン酸鉛 ($(P b, L a) (Z r, T i) O_3$; P L Z T)、ニオブ酸リチウム ($L i N b O_3$)、ニオブ酸カリウムリチウム ($K, L i; N b, O_3$) などから構成された強誘電体膜が用いられている。これらの強誘電体膜は、電圧を印加することによって分極が生じる。そして電圧と分極との関係は、いわゆるヒステリシス特性を呈する。

【0003】図 22 は、強誘電体膜を用いた従来のキャパシタの断面図である。半導体基板 11、例えば、シリコン基板の上に第 1 の層間絶縁膜 12、例えば、ホウ素及びリンを含有するシリカガラス（以下、B P S G (Boron-doped Phospho-Silicate Glass) という）を堆積させて B P S G 膜を形成する。半導体基板 11 には必要に応じてトランジスタ等の素子が形成されている。第 1 の層間絶縁膜 12 上に強誘電体膜の下部電極として白金 (P t) などの第 1 の白金族元素の膜 21 を 200 nm 程度の厚みでスパッタリングなどの方法により堆積させる。第 1 の層間絶縁膜 12 と第 1 の白金族元素の膜 21 との

間にはチタン (Ti) などの導電性膜 1 3 を介在させる。即ち酸化膜からなる第 1 の層間絶縁膜 1 2 上に下部電極として第 1 の白金族元素の膜 2 1 を直に堆積させると、密着性が悪く、膜剥がれなどの現象を起こすので、事前にこのような導電性膜 1 3 を堆積させておく。この導電性膜 1 3 としてチタンを用いる場合は、例えば、20 nm の厚みで堆積させる。

【0004】第 1 の白金族元素の膜 2 1 の堆積後に、この膜上に強誘電体膜 2 2 を堆積させる。この堆積方法には、スパッタリング法やゾルゲル法等がある。またこの強誘電体材料には PZT やストロンチウムビスマスタタル酸化物 (以下、SBT という) などが有効であるが、PZT を用いた場合、例えば、300 nm の厚みで堆積させる。次に、熱工程を行ってこの強誘電体膜 2 2 を結晶化させる。この工程は、例えば、酸素雰囲気中で 850℃、10 秒の条件で行う。強誘電体膜 2 2 の堆積後、上部電極として 200 nm 程度の厚みで Pt などからなる第 2 の白金族元素の膜 2 3 をスパッタリングなどの方法により堆積させる。第 1 及び第 2 の白金族元素の膜 2 1、2 3 及び強誘電体膜 2 2 をパターンニングした後シリコン酸化膜などからなる第 2 の層間絶縁膜 4 1 を半導体基板 1 1 上に堆積させる。上部電極 2 3 及び下部電極 2 1 へのコンタクト用開口部を介してこれら電極に接続するアルミニウムなどの配線からなる上部電極 2 3 へのコンタクト 4 3 及び下部電極 2 1 へのコンタクト 4 2 を形成する。

【0005】

【発明が解決しようとする課題】以上のように、強誘電体キャパシタなどに使用される白金やイリジウムなどの白金族金属は、触媒としての作用があり、そのためこれらの電極が露出した状態で行われる電極形成以降の後工程中のウェット処理には制限が加わる。例えば、白金族金属を過酸化水素水 (H_2O_2) を含む処理液に浸すと、この金属製電極と接する部分から酸素が発生する。この発生した酸素は、気泡が膜の界面に溜まり、電極と他の膜との間の膜剥がれの原因になっている。過酸化水素水を含む処理液は、半導体装置の製造工程における洗浄処理に広く使われており、この処理液が利用できないことは後の工程への制約となっているのが現状である。また、白金の触媒作用によって分子状態の水素あるいは水 (H_2O) から活性状態の水素が発生するが、この活性水素は、容易に拡散し強誘電体膜中の反転分極量を減らすという特性劣化の原因となっている。本発明は、このような事情によりなされたものであり、後処理工程でキャパシタ性能が劣化しない白金族元素あるいはその合金を電極とした電荷蓄積容量素子及びその製造方法、さらにはこれが搭載された半導体記憶装置及びこの半導体記憶装置が搭載された IC カードを提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、電荷蓄積容量素子の電極表面の露出部分 (電極が形成されている下地層と接触している領域及び電極が誘電体膜と接触して容量を形成している領域以外の部分) を自己整合的に形成された保護膜で被覆することを特徴としている。また、上記電極表面の露出部分をシリサイド化することを特徴としている。こうして電極の露出部分を保護膜で被覆することにより、また、選択的にシリサイド化することにより白金族金属の露出を無くし、触媒効果を抑制する。その結果、キャパシタ形成後における処理に制限をなくし、誘電体膜の特性劣化を防止することができる。とくに誘電体膜に強誘電体を用いた場合は、強誘電体膜の残留分極量の劣化を低く抑えることができる。

【0007】即ち本発明の電荷蓄積容量素子は、誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の少なくとも一方は白金族金属で形成され、その前記誘電体膜と直接接する界面以外の表面に保護膜が自己整合的に形成されていることを第 1 の特徴としている。また、本発明の電荷蓄積容量素子は、誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の少なくとも一方は白金族金属で形成され、その前記誘電体膜と直接接する界面以外の表面に白金族金属のシリサイド膜が自己整合的に形成されていることを第 2 の特徴としている。また、本発明の電荷蓄積容量素子は、誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の電極の少なくとも一方は、白金族金属で形成され、その上面及び側面に白金族金属のシリサイド膜が形成されていることを第 3 の特徴としている。ここで前記誘電体膜には、強誘電体を用いても良い。前記強誘電体は、ペロブスカイト構造を有するものでも良い。前記強誘電体は、チタン酸バリウム、チタン酸ジルコン酸鉛、ランタドープチタン酸ジルコン酸鉛、ニオブ酸リチウム、ニオブ酸カリウムリチウム、ストロンチウムビスマステレート of the いずれかを用いても良い。前記第 1 及び第 2 の電極は、白金、イリジウム、ルテニウムの少なくとも 1 種から選択しても良い。前記第 1 及び第 2 の電極は、同じ白金族金属を用いるようにしても良い。前記第 1 及び第 2 の電極は、互いに異なる白金族金属を用いるようにしても良い。

【0008】本発明の電荷蓄積容量素子の製造方法は、誘電体膜を介して少なくとも一方が白金族金属から構成された第 1 及び第 2 の電極を対向形成してなる電荷蓄積容量素子の製造方法であって、前記第 1 及び第 2 の電極の前記誘電体膜と接する界面以外の面上にアモルファスシリコン又はポリシリコンを堆積させる工程と、前記堆積されたアモルファスシリコン又はポリシリコンを熱処

理して、前記第 1 及び第 2 の電極表面における前記白金族金属の露出部分を自己整合的にシリサイド化する工程とを備えることを特徴としている。ここで前記シリサイド化で得られたシリサイド膜の表面を熱酸化する酸化工程をさらに備えるようにしても良い。また、前記酸化工程で、前記シリサイド化の際の未反応のアモルファスシリコン又はポリシリコンを酸化させるようにしても良い。

【 0 0 0 9 】本発明の半導体記憶装置は、電極間誘電体に強誘電体膜を用いる情報記憶キャパシタと電荷転送用トランジスタとからなるメモリセルが行列状に配置されたメモリセルアレイを具備する半導体記憶装置において、前記情報記憶キャパシタは、誘電体膜と、前記誘電体膜の第 1 の面上に形成された第 1 の電極と、前記誘電体膜の第 2 の面上に形成された第 2 の電極とを備え、前記第 1 及び第 2 の電極の少なくとも一方は白金族金属で形成され、その前記誘電体と直接接する界面以外の表面に白金族金属のシリサイド膜が自己整合的に形成されていることを特徴としている。また、本発明の I D カードは、周囲に送受信アンテナがループ状に形成された略長形状のカードの所定の辺に沿って、本発明の半導体記憶装置が配置されていることを特徴としている。

【 0 0 1 0 】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図 1 乃至図 4 を参照して第 1 の実施例を説明する。図 1 は、電荷蓄積容量素子の断面図、図 2 乃至図 5 は、電荷蓄積容量素子の製造工程断面図である。半導体基板 1 1 は、例えば、シリコン半導体からなる。半導体基板 1 1 上には、例えば、B P S G 膜からなる第 1 の層間絶縁膜 1 2 が形成されている。半導体基板 1 1 には必要に応じてトランジスタ等の半導体素子が形成されている。第 1 の層間絶縁膜 1 2 上には、強誘電体膜の第 1 の電極（下部電極）として白金（P t）などの第 1 の白金族元素の膜 2 1 が形成されている。第 1 の層間絶縁膜 1 2 と第 1 の白金族元素の膜 2 1 との間にはチタン（T i）などの導電性膜 1 3 を介在させる。即ち第 1 の層間絶縁膜 1 2 は、酸化膜から構成されているが、この酸化膜上に下部電極として第 1 の白金族元素の膜 2 1 を直に堆積させると、密着性が悪く、膜剥がれなどの現象を起こすので事前にこのような導電性膜 1 3 を堆積させておく。この導電性膜 1 3 としてチタンを用いる。

【 0 0 1 1 】第 1 の白金族元素の膜 2 1 の上に強誘電体膜 2 2 が堆積されている。この強誘電体材料には P Z T や S B T などが有効である。強誘電体膜 2 2 の上に、第 2 の電極（上部電極）として白金を堆積させて、第 2 の白金族元素の膜 2 3 を形成している。第 1 及び第 2 の白金族元素の膜 2 1、2 3 及び強誘電体膜 2 2 をパターニングした後、強誘電体膜 2 2 と接触していない第 1 の電極 2 1（下部電極）及び第 2 の電極 2 3（上部電極）の

上面及び側面に自己整合的にプラチナシリサイドなどの白金族金属のシリサイド膜 3 2、3 3 が形成されている。シリサイド膜 3 2、3 3、第 1 及び第 2 の電極 2 1、2 3、強誘電体膜 2 2 を被覆するように、シリコン酸化膜などからなる第 2 の層間絶縁膜 4 1 が半導体基板 1 1 上に形成されている。上部電極 2 3 及び下部電極 2 1 へのコンタクト用開口部を介してこれら電極に接続するアルミニウムなどの配線からなる上部電極 2 3 へのコンタクト 4 3 及び下部電極 2 1 へのコンタクト 4 2 が形成されている。ここでは強誘電体膜 2 2 と接触していない第 1 の電極 2 1 及び第 2 の電極 2 3 の露出部分に自己整合的にプラチナシリサイドなどの白金族金属のシリサイド膜が形成され、その上に絶縁膜が被覆されている。したがって、電荷蓄積容量素子の耐湿性及び水素雰囲気耐性が高められている。

【 0 0 1 2 】次に、図 1 乃至図 5 を参照してこの実施例の電荷蓄積容量素子の製造方法を説明する。半導体基板 1 1、例えば、シリコン基板上に第 1 の層間絶縁膜 1 2、例えば、B P S G 膜を堆積させる。半導体基板 1 1 上には必要に応じてトランジスタ等の半導体素子が形成されている。次に、電荷蓄積容量素子の下部電極として用いられる第 1 の白金族元素の膜 2 1、例えば、白金を、例えば、2 0 0 n m の厚さに堆積させる。堆積方法としては、例えば、スパッタリング法などが用いられる。第 1 の白金族元素の膜 2 1 を堆積させる際には、導電性膜 1 3、例えば、チタンを事前に堆積させる。これは B P S G 膜などの酸化膜上に下部電極として第 1 の白金族元素の膜 2 1 を直接堆積させた場合、密着性が悪くなり、膜剥がれなどの現象を起こすので、その密着性を維持するために行われる。導電性膜 1 3 は、例えば、2 0 n m の厚みで堆積させる。

【 0 0 1 3 】第 1 の白金族元素の膜 2 1 の堆積後に、強誘電体膜 2 2 を、例えば、スパッタリング法やゾルゲル法などで第 1 の白金族元素の膜 2 1 上に堆積させる。この強誘電体材料には P Z T や S B T などが有効であり、例えば、P Z T を 3 0 0 n m の厚みで堆積させる。次に、熱処理を行って堆積させた強誘電体膜 2 2 を結晶化させる。この工程では、例えば、酸素雰囲気中で 8 5 0 ° C、1 0 秒の条件で熱処理を行う。強誘電体膜 2 2 の堆積後に上部電極材として用いられる第 2 の白金族元素の膜 2 3 を堆積させる。この上部電極には下部電極と同じ材料を用いるのが一般的であるが、本発明は、これに限定される必要はない。堆積方法は、下部電極と同様の方法を用い、スパッタリング法などを利用する。この実施例では、第 2 の白金族元素の膜 2 3 として、白金の膜を 2 0 0 n m 程度の厚みで堆積させる（図 2（a））。

【 0 0 1 4 】その後、第 2 の白金族元素の膜 2 3 は、フォトリソグラフィ工程によりパターニングされ、異方性エッチングによりエッチングされて所定形状の上部電極 2 3 に成形される（図 2（b））。次に、強誘電体膜 2

2 は、フォトリソグラフィ工程によりパターンニングされ、異方性エッチングによりエッチングされてキャパシタ膜としての形状を有する強誘電体膜 2 2 に成形される (図 3 (a))。次に、第 1 の白金族元素の膜 2 1 は、導電性膜 1 3 と共にフォトリソグラフィ工程によりパターンニングされ、異方性エッチングによりエッチングされて所定形状の下部電極 2 1 に成形される (図 3

(b))。本発明においては、以上の 3 回のリソグラフィ工程と異方性エッチングとの組み合わせを、1 回のフォトリソグラフィ工程と 1 回の異方性エッチングあるいは 2 回のフォトリソグラフィ工程と 2 回の異方性エッチングの組み合わせにしてこれらの膜を自己整合的に形成することも可能である。その後、シリコン膜 3 1 を化学的気相成長法により堆積する。シリコンとしては非晶質シリコンや多結晶シリコンが有効であり、例えば、非晶質シリコンを 10 nm 程度の厚みに堆積させる (図 4 (a))。

【0015】次に、半導体基板 1 1 を熱処理装置内に収納し、これに、例えば、300℃、1 時間、窒素雰囲気などの還元性雰囲気中で熱処理を加える。本発明では、ここで例示した以外の温度、時間条件及び雰囲気条件でも処理は可能である。この熱処理を行うことにより、白金とその表面に接したシリコンが反応し、下部電極 2 1 である白金族元素とシリコン膜 3 1 が反応した珪素化白金族元素の膜 3 2 が形成され、上部電極 2 3 である白金族元素とシリコン膜 3 1 の反応した珪素化白金族元素の膜 3 3 が形成される。即ち上部電極 2 3 及び下部電極 2 1 に白金を用いた場合は珪素化白金 (プラチナシリサイド) が形成される。この珪素化白金は、シリコン膜 3 1 を堆積させた直後に白金族元素が表面に露出している部分だけに自己整合的に形成されるものである。プラチナ以外でも他の白金族の元素やその合金を用いた場合も同様に珪素化された白金族元素の膜が形成される。白金族元素と接していない第 1 の層間絶縁膜 1 2 や強誘電体膜 2 2 などの酸化膜上のシリコン膜 3 1 は、それらと反応せずに、そのままシリコンの状態として残る (図 4 (b))。

【0016】次に、等方性エッチングによりシリコン膜 3 1 を除去する。これは先に堆積したシリコン膜 3 1 の白金族元素との未反応部分を除去する為のものであり、珪素化白金族元素とエッチング選択比を持つ方法でエッチングすることにより未反応部分だけを自己整合的に除去できる。等方性エッチングとしては、例えば、ケミカルドライエッチング (Chemical Dry Etching) などが有効である (図 5)。次に、半導体基板 1 1 上にシリコン酸化膜などの第 2 の層間絶縁膜 4 1 を、例えば、化学的気相成長法 (CVD: Chemical Vapour Deposition) により堆積させる。その後、上部電極 2 3 及び下部電極 2 1 へのコンタクト用の開口をフォトリソグラフィ工程によりパターンニングし、異方性エッチングにより第 2 の層間

絶縁膜 4 1 をエッチングしてコンタクト孔を形成する。次に、配線材料として、例えば、アルミニウムを第 2 の層間絶縁膜 4 1 に堆積させる。そして、フォトリソグラフィ工程によりアルミニウム膜をパターンニングし、異方性エッチングによりエッチングすることにより上部電極 2 3 へのコンタクト 4 3 及び下部電極 2 1 へのコンタクト 4 2 を形成する (図 1 参照)。

【0017】以上の製造工程により、本発明の強誘電体電荷蓄積容量素子が形成される。以上のように、電荷蓄積容量素子の電極表面の露出部分 (電極が形成されている下地層である第 1 の層間絶縁膜と接触している領域及び電極が誘電体膜と接触して容量を形成している領域以外の部分) が自己整合的にシリサイド化されている野で、白金族金属からなる電極の露出を無くし触媒効果を抑制することができる。その結果、キャパシタ形成後における処理工程に制限をなくし、誘電体膜の特性劣化を防止することができる。とくに強誘電体膜の残留分極量の劣化を低く抑えることができる。

【0018】次に、図 6 及び図 7 を参照して第 2 の実施例を説明する。図 6 は、電荷蓄積容量素子の製造工程断面図、図 7 は、電荷蓄積容量素子の断面図である。図 7 に示すように、この実施例で形成される電荷蓄積容量素子は、基本的構造が第 1 の実施例のものと同じであるが第 1 及び第 2 の珪素化白金族元素の膜 3 2、3 3 の表面がシリコン酸化膜 3 4 で被覆されていることで第 1 の実施例とは相違し、この点にこの実施例の特徴がある。図 6 及び図 7 を参照してこの実施例の電荷蓄積容量素子の製造方法を説明する。製造工程に一致する部分があるので、第 1 の実施例を説明した図 2 乃至図 4 は、この実施例の説明でも用いる。シリコン半導体などの基板 1 1 上には必要に応じてトランジスタ等の半導体素子が形成され、この半導体基板 1 1 上に BPSG 膜などの第 1 の層間絶縁膜 1 2 が形成される。第 1 の層間絶縁膜 1 2 の上に、電荷蓄積容量素子の下部電極となる白金などの厚さ 200 nm の第 1 の白金族元素の膜 2 1、PZT などの厚さ 300 nm 程度の熱処理した強誘電体膜 2 2 及び上部電極となる白金などの厚さ 200 nm 程度の第 2 の白金族元素の膜 2 3 を順次堆積させる。

【0019】第 1 の白金族元素の膜 2 1 を堆積させる際には、チタンなどからなり厚さが 20 nm 程度の導電性膜 1 3 を事前に堆積させる。強誘電体を結晶化させるための前記熱処理は、例えば、酸素雰囲気中で 850℃、10 秒の条件で行われる。次に、第 2 の白金族元素の膜 2 3 は、フォトリソグラフィ工程によりパターンニングされ、異方性エッチングによりエッチングされて所定形状の上部電極 2 3 に成形される (図 2)。次に、強誘電体膜 2 2 は、フォトリソグラフィ工程によりパターンニングされ、異方性エッチングによりエッチングされてキャパシタ膜としての形状を有する強誘電体膜 2 2 に成形される。次に、第 1 の白金族元素の膜 2 1 は、導電性膜 1 3

と共にフォトリソグラフィ工程によりパターニングされ、異方性エッチングによりエッチングされて所定形状の下部電極 2 1 に成形される (図 3)。

【0020】次に、シリコン膜 3 1 を化学的気相成長法により堆積する。シリコンとしては非晶質シリコンや多結晶シリコンが有効であり、例えば、非晶質シリコンを 10 nm 程度の厚みに堆積させる。その後半導体基板 1 1 を熱処理装置内に収納し、これに、例えば、300℃、1 時間、窒素雰囲気などの還元性雰囲気中で熱処理を加える。この熱処理を行うことにより、白金とその表面に接したシリコンが反応し、下部電極 2 1 である白金族元素とシリコン膜 3 1 が反応した珪素化白金族元素の膜 3 2 が形成され、上部電極 2 3 である白金族元素とシリコン膜 3 1 の反応した珪素化白金族元素の膜 3 3 が形成される。例えば、上部電極 2 3 及び下部電極 2 1 に白金を用いた場合は珪素化白金 (プラチナシリサイド) が形成される。この珪素化白金は、シリコン膜 3 1 を堆積させた直後に白金族元素が表面に露出している部分だけに自己整合的に形成されるものである。プラチナ以外でも他の白金族の元素やその合金を用いた場合も同様に珪素化された白金族元素の膜が形成される。白金族元素と接していない第 1 の層間絶縁膜 1 2 や強誘電体膜 2 2 などの酸化膜上のシリコン膜 3 1 はそれらと反応しないでそのままシリコンの状態として残る (図 4)。

【0021】次に、CDE などの等方性エッチングにより不要なシリコン膜 3 1 を除去する。これは先に堆積したシリコンの白金族元素との未反応部分を除去する為のものであり、珪素化白金族元素とエッチング選択比を持つ方法でエッチングすることにより未反応部分だけを自己整合的に除去する (図 6 (a))。次に、半導体基板 1 1 を熱処理装置に収納し、これに、例えば、600℃、10 秒の酸化性雰囲気、例えば酸素雰囲気中で熱処理を加える。ここで例示した以外の温度、時間条件及び雰囲気条件でも処理は可能である。この熱処理により、第 1 及び第 2 の珪素化白金族元素の膜 3 2、3 3 の表面に約 10 nm の深さでシリコン酸化膜 3 4 が形成される (図 6 (b))。次に、半導体基板 1 1 上に第 2 の層間絶縁膜 4 1 を堆積する。これには、例えば、CVD シリコン酸化膜が有効である。上部電極 2 3 及び下部電極 2 1 へのコンタクト用の開口をフォトリソグラフィ工程によりパターニングし、異方性エッチングにより第 2 の層間絶縁膜 4 1 をエッチングする。その後、第 2 の層間絶縁膜 4 1 上に配線、例えば、アルミニウム膜を堆積させる。そして、フォトリソグラフィ工程によりアルミニウム膜をパターニングし、異方性エッチングによりエッチングすることにより、上部電極 2 3 へのコンタクト 4 3 及び下部電極 2 1 へのコンタクト 4 2 が形成される (図 7)。

【0022】以上の工程により、本発明の強誘電体電荷蓄積容量素子が形成される。ここでは上部電極及び下部

電極である白金族元素の表面に自己整合的に形成される珪素化物に加えてシリコン酸化物が形成されるので白金族元素の膜表面をブロックする効果が增大する。また、自己整合的に珪素化物を形成する際に、電極表面に未反応のシリコンが残っていても、シリコン酸化膜を形成する際の酸化処理で酸化されるので短絡事故などを起こすことがなくなる。次に、図 8 及び図 9 を参照して第 3 の実施例を説明する。図 8 は、電荷蓄積容量素子の製造工程断面図、図 9 は、電荷蓄積容量素子の断面図である。図 9 に示すように、この実施例で形成される電荷蓄積容量素子は、基本的構造が第 1 の実施例のものと同一であるが第 1 及び第 2 の珪素化白金族元素の膜 3 2、3 3 の表面、強誘電体膜 2 2 の露出表面及び第 1 の層間絶縁膜 1 2 の露出表面がシリコン酸化膜 3 5 で被覆されていることで第 1 の実施例とは相違し、この点にこの実施例の特徴がある。図 8 及び図 9 を参照してこの実施例の電荷蓄積容量素子の製造方法を説明する。製造工程に一致する部分があるので、第 1 の実施例を説明した図 2 乃至図 4 は、この実施例の説明でも用いる。

【0023】シリコン半導体などの基板 1 1 上には必要に応じてトランジスタ等の半導体素子が形成され、この半導体基板 1 1 上に BPSG 膜などの第 1 の層間絶縁膜 1 2 が形成される。第 1 の層間絶縁膜 1 2 の上に、電荷蓄積容量素子の下部電極となる白金などの厚さ 200 nm の第 1 の白金族元素の膜 2 1、PZT などの厚さ 300 nm 程度の熱処理した強誘電体膜 2 2 及び上部電極となる白金などの厚さ 200 nm 程度の第 2 の白金族元素の膜 2 3 を順次堆積させる。第 1 の白金族元素の膜 2 1 を堆積させる際には、チタンなどからなり厚さが 20 nm 程度の導電性膜 1 3 を事前に堆積させる。強誘電体を結晶化させるための前記熱処理は、例えば、酸素雰囲気中で 850℃、10 秒の条件で行われる。次に、第 2 の白金族元素の膜 2 3 は、フォトリソグラフィ工程によりパターニングされ、異方性エッチングによりエッチングされて所定形状の上部電極 2 3 に成形される (図 2)。次に、強誘電体膜 2 2 は、フォトリソグラフィ工程によりパターニングされ、異方性エッチングによりエッチングされてキャパシタ膜としての形状を有する強誘電体膜 2 2 に成形される。次に、第 1 の白金族元素の膜 2 1 は、導電性膜 1 3 と共にフォトリソグラフィ工程によりパターニングされ、異方性エッチングによりエッチングされて所定形状の下部電極 2 1 に成形される (図 3)。

【0024】次に、シリコン膜 3 1 を CVD 法により堆積する。シリコンとしては、非晶質シリコンや多結晶シリコンが有効であり、例えば、非晶質シリコンを 10 nm 程度の厚みに堆積させる。その後、半導体基板 1 1 を熱処理装置内に収納し、これに、例えば、300℃、1 時間、窒素雰囲気などの還元性雰囲気中で熱処理を加える。この熱処理を行うことにより下部電極 2 1 である白金族元素とシリコン膜 3 1 とが反応した珪素化白金族元

素の膜 3 2 が形成され、上部電極 2 3 である白金族元素とシリコン膜 3 1 の反応した珪素化白金族元素の膜 3 3 が形成される。例えば、上部電極 2 3 及び下部電極 2 1 に白金を用いた場合は珪素化白金（プラチナシリサイド）が形成される。この珪素化白金は、シリコン膜 3 1 を堆積させた直後に白金族元素が表面に露出している部分だけに自己整合的に形成されるものである。白金族元素と接していない第 1 の層間絶縁膜 1 2 や強誘電体膜 2 2 などの酸化膜上のシリコン膜 3 1 は、それらと反応せず、そのままシリコンの状態に残る（図 4）。

【0025】次に、熱処理装置で、例えば、10 秒の酸化性雰囲気、例えば、酸素雰囲気中で熱処理を加える。ここで示した以外の温度、時間条件及び雰囲気条件でも処理は可能である。この熱処理を行うことで珪素化白金元素 3 2、3 3 の表面には、例えば、10 nm の深さでシリコン酸化膜 3 4 が形成される。また、第 1 の層間絶縁膜 1 2 や強誘電体膜 2 1 などの酸化膜に接している部分のシリコンは、シリサイド化には寄与せずにそのままシリコンとして残っていたが、それらのシリコンも酸化されてシリコン酸化膜 3 5 となる（図 8）。また、珪素化白金族元素の膜 3 2、3 3 の最表面に未反応のシリコン膜が残っていた場合でも、それらは酸化されシリコン酸化物になる。次に、半導体基板 1 1 上に第 2 の層間絶縁膜 4 1 を堆積する。これには、例えば、CVD シリコン酸化膜が有効である。上部電極 2 3 及び下部電極 2 1 へのコンタクト用の開口をフォトリソグラフィ工程によりパターニングし、異方性エッチングにより第 2 の層間絶縁膜 4 1 をエッチングする。その後、第 2 の層間絶縁膜 4 1 上に配線、例えば、アルミニウム膜を堆積させる。そして、フォトリソグラフィ工程によりアルミニウム膜をパターニングし、異方性エッチングによりエッチングすることにより、上部電極 2 3 へのコンタクト 4 3 及び下部電極 2 1 へのコンタクト 4 2 が形成される（図 9）。

【0026】以上の工程により、本発明の強誘電体電荷蓄積容量素子が形成される。ここでも、上部電極及び下部電極である白金族元素の表面に自己整合的に形成される珪素化物に加えてシリコン酸化物が形成されるので白金族元素の膜表面をブロックする効果が増大する。しかも、等方性エッチングにより未反応のシリコン膜を除去する工程を省略できるので工程数の削減を図ることもできる。次に、図 10 乃至図 19 を参照して本発明の電荷蓄積容量素子を適用した半導体装置を説明する。

【0027】図 10 は、本発明に係る電荷蓄積容量素子としての強誘電体キャパシタを備えた半導体記憶装置、即ち強誘電体不揮発性メモリのメモリセル断面図である。P 型シリコン基板 1 1 の表面にシリコン酸化膜からなる素子分離絶縁膜 1 が形成され、この素子分離絶縁膜 1 に区画された領域に MOS トランジスタが形成される。MOS トランジスタは、N 型拡散領域からなるソー

ス／ドレイン領域 3、2、ゲート酸化膜 4、ポリシリコンゲート電極 5 等から構成される。ゲート電極 5 は、ワード線（WL）と称される。

【0028】この MOS トランジスタ上には酸化シリコン（ SiO_2 ）などの第 1 の層間絶縁膜 1 2 が形成されている。第 1 の層間絶縁膜 1 2 上には強誘電体キャパシタが形成されている。強誘電体キャパシタは、下部電極 2 1、PZT 膜などからなる強誘電体膜 2 2、上部電極 2 3 から構成される。下部電極 2 1 は、プレート電極（プレート線）（PL）と称される。下部電極 2 1 の強誘電体膜 2 2 あるいは第 1 の層間絶縁膜 1 2 と接していない領域表面は、プラチナシリサイドなどの珪素化白金族元素の膜 3 2 に被覆されている。下部電極 2 1 と第 1 の層間絶縁膜 1 2 との間には密着性向上のための導電性膜 1 3 が形成されている。また上部電極 2 3 の強誘電体膜 2 2 と接していない領域表面は、プラチナシリサイドなどの珪素化白金族元素の膜 3 3 に被覆されている。この強誘電体キャパシタは、シリコン酸化膜などからなる第 2 の層間絶縁膜 4 1 に覆われ、この強誘電体キャパシタの上部電極 2 3 と MOS トランジスタのソース領域 3 とは第 2 の層間絶縁膜 4 1 及び第 1 の層間絶縁膜 1 2 のコンタクトホール 6 を介してアルミニウムなどの接続配線 7 により電気的に接続されている。また MOS トランジスタのドレイン領域 2 は、ビット線となるアルミニウムなどの配線（図示せず）とコンタクトホールを通じて接続される。

【0029】ここで強誘電体キャパシタは、第 1 ～第 3 の実施例の電荷蓄積容量素子と同様同様キャパシタ形成後に白金族金属からなる電極の露出部分がシリサイド膜で被覆され、その触媒効果が抑えられている。したがって、後処理工程での強誘電体膜の残留分極の劣化を低く抑えることができる。図 11 は、強誘電体不揮発性メモリに用いられた PZT 強誘電体膜の印加電圧／分極特性である。強誘電体薄膜は、図のようにヒステリシス特性を有している。そして電圧を印加しない状態、即ち $V = 0$ (V) の状態での残留分極 P_r が「正」か「負」かによってデータを記憶することができる。図 12 は、強誘電体不揮発性メモリの強誘電体膜としては好ましくないヒステリシス特性である。すなわち、残留分極 P_r が非常に小さく、その結果、センスアンプによる読み出しマージンが低下する、外部からの攪乱により容易にデータが消失してしまう等の問題が存在する。図 12 に示す特性は、80℃の高温状態でのヒステリシス特性である。

【0030】次に、図 13 及び図 14 を用いて強誘電体キャパシタを用いたメモリセル（FRAMセル）の書き込み動作を説明する。FRAMセルを用いた強誘電体不揮発性メモリは、例えば、2つの MOS トランジスタ Q1、Q2 と強誘電体キャパシタ C1、C2 により一つのメモリセルを構成する。そして、図 13 (a) の状態、即ちキャパシタ C1 には図中上向きの矢印に示すように

上方向の分極（以下、正分極と称する）が、キャパシタ C 2 には図中下向きの矢印に示すように下方向の分極

（以下、負分極と称する）が現れている状態を“1”と定義し、図 13（b）の状態、即ちキャパシタ C 1 には負分極が、キャパシタ C 2 には正分極が現れている状態を“0”と定義する。

（“1”書き込み動作）以下、メモリセルに“1”を書き込む場合のステップを示す。まず、ビット線 BL に 5 V を印加し、ビット線 /BL（「/」は反転信号を表わす、以下、同じ）には 0 V を印加する。そしてワード線 WL には 7 V を印加し、プレート電極 PL には 0 V を印加する。このとき、キャパシタ C 1 が図 11 の a の状態であり、キャパシタ C 2 が図 11 の b の状態にある。続いて、PL を 5 V にする。この結果、キャパシタ C 1 は、図 11 の b の状態になり、キャパシタ C 2 は図 11 の c の状態になる。続いて、PL を 0 V にする。この結果、キャパシタ C 1 は、図 11 の a の状態になり、キャパシタ C 2 は図 11 の d の状態になる。

【0031】図 14 に書き込み時のプレート電極 PL の電位（VPL）の変化を示す。以上のようにして、図 13（a）の状態、すなわちキャパシタ C 1 には正分極が現れ、キャパシタ C 2 には負分極が現れて“1”書き込みが実現される。

（“0”書き込み動作）以下、メモリセルに“0”を書き込む場合のステップを示す。まず、ビット線 BL に 0 V を印加し、ビット線 /BL には 5 V を印加する。そしてワード線 WL には 7 V を印加し、プレート電極 PL には 0 V を印加する。この状態では、キャパシタ C 1 が図 11 の b の状態にあり、キャパシタ C 2 が図 11 の a の状態にある。続いて、PL を 5 V にする。この結果、キャパシタ C 1 は、図 11 の c の状態になり、キャパシタ C 2 は、図 11 の b の状態になる。続いて、PL を 0 V にする。この結果、キャパシタ C 1 は、図 11 の d の状態になり、キャパシタ C 2 は、図 11 の a の状態になる。以上のようにして、図 13（b）の状態、すなわちキャパシタ C 1 には負分極が現れ、キャパシタ C 2 には正分極が現れて“0”書き込みが実現される。以上のような強誘電体不揮発性メモリは、消費電力が僅少のため RFI D などの無電源 ID 装置等に用いられる。

【0032】図 15 は、強誘電体不揮発性メモリのメモリセルアレイと周辺回路との配置を示すブロック図である。メモリセルアレイ 30、36、37、38 は、並列して配置され、ワード線選択回路（ロウデコーダ RD）40 は、これらに共用されている。大きく複数のメモリセルアレイ 30、36、37、38 を 2 分割したときに中央部にロウデコーダ 40 が配置され、これに複数のワード線 WL が配線されている。そして左右に分かれて配置されているメモリセルアレイをさらに分割してプレート線選択回路（プレートデコーダ PD）48、49 がそれぞれ配置されこのプレートデコーダ 48、49 からそ

れぞれプレート線 PL（PL 1、PL 2、PL 3、PL 4）が配線されている。ワード線 WL は、外部から入力されたアドレス信号に応じてロウデコーダ 40 によって選択される。プレート線 PL は、各メモリセルアレイ毎に分割して設けられておりプレートデコーダ 48、49 によって図 14 のように駆動される。またセンスアンプ回路（S/A）44～47 は、各メモリセルアレイ毎に設けられており、読み出し時にビット線に現れた微小電位差を増幅する。カラムゲート回路（図示しない）は、カラム選択線に基づきデータ線とビット線とを選択的に接続する。カラムデコーダ（CD）56 は、外部から入力されたアドレス信号に応じてカラム選択線（図示せず）を選択する。データ線センスアンプ回路（図示せず）は、データ線上のデータを増幅する。

【0033】以上の実施例では PZT 強誘電体膜を用いた強誘電体キャパシタを説明したが、本発明はこれに限るものではなく、図 16 に示す特性図から明らかな通り、例えば、BaTiO₃（BTO）膜等にも適用可能である。また、当然のことながら PLZT 膜、LiNbO₃ 膜、K₁Li₁Nb₃O₁₀ 膜、SBT 膜等も適用可能である。図 17 乃至図 19 は、本発明の強誘電体キャパシタに用いる強誘電体膜製造プロセスを説明する製造装置断面図である。強誘電体薄膜の製造には、ゾル・ゲル法、スパッタリング法、MOCVD 法等が用いられる。本発明と組み合わせるとより顕著な効果が得られるのはゾル・ゲル法及びスパッタリング法である。

【0034】ゾルゲル法又は MOD 法は、有機金属化合物などをソース原料とする溶液をディッピングやスピニングにより基板上に塗布し、それを熱分解して得る方法である。これは、大気中でも成膜が可能であり、膜の大面积化が容易である（図 17）。スパッタリング法は、薄膜となるべき材料のターゲットに、グロー放電中でイオン化したガス（Ar ガスなど）を衝突させて叩き出した粒子を基板に堆積させる方法であり、真空蒸着法では作りにくい高融点材料などの膜形成が可能である。この成膜法には直流スパッタリング、高周波（RF）スパッタリング、マグネトロンスパッタリング、イオンビームスパッタリング、反応性スパッタリング、レーザアブレーションなどがある。ターゲットとしては焼結体又は粉末を用い、アルゴンと酸素雰囲気ですパッタリングする。ターゲットの近傍にマグネットを置くと、スパッタリングイオンは、その磁場に拘束され、低ガス圧（～10⁻⁴ Torr）ですパッタリングが可能になり、膜成長速度を数倍高めることになる。強誘電体膜の微細構造と特性は、スパッタリング条件（スパッタリング電圧、ガス組成とガス圧、膜形成速度、基板材料、基板温度など）に依存する（図 18）。CVD の基本は、薄膜にしたい元素の化合物のうちでガスになるものを高温炉の中に導入して、基板表面に堆積させて膜形成することであり、これにより基板表面で平衡状態で成膜されるため、

より均質な結晶膜が得られる可能性がある。MOCVDは、原料としてアセチルアセトナトやアルコキシドなどの有機金属から強誘電体膜を形成する（図19）。

【0035】次に、図20及び図21を参照して本発明に係る半導体記憶装置（強誘電体不揮発性メモリ（FRAM））のRFID(Radio Frequency Identification)システムへの応用を説明する。RFIDシステムとは、電波を用いた非接触型タグ・システム（識別器）のことで、一般的には非接触データ・キャリア・システム等とも呼ばれている。図20は、RFIDシステムの全体のシステム構成図である。RFIDシステムは、パソコン、コントローラ、アンテナ等で構成されるホスト側と、トランスポンダ（IDカード）と呼ばれるデータ・キャリアで構成される。トランスポンダは、FRAMとASICが1チップ化されたモノリシックRFIDチップ及び電力受信、データ受信／送信を兼ねるアンテナを内蔵するシンプルな構成である。ホスト側からは必要に応じてコマンド及びデータを搬送波に乗せて送信するが、トランスポンダ側ではその搬送波により必要な電力を発生させ、データの書き込み及び読み出しと送信に利用してホスト側に情報を返す。非接触タグは、電池が不要であり、FRAMの記憶内容を電波を使って非接触で読み取り、その内容を書き換えることにより人の入退出などの管理に活用することが可能である。例えば、服のポケットに定期券用の非接触タグを入れたまま改札したり、非接触タグを自動車につけて走り高速道路の料金所でいちいち精算するために止まらなくて済むようにしたり、人の介在なしに駐車場の出入りを監視・管理するなどの用途に利用することが可能である。また、回遊魚や家畜の行動を管理することなどにも利用できる。

【0036】図21は、トランスポンダの内部回路の詳細を示す。トランスポンダは、外部から入力される電磁場を検知するLC回路と、LC回路が検出した電磁場から信号を生成する回路（FSK復調回路）58と、LC回路が検出した電磁場から電源電圧を発生させる回路（整流ブリッジ）59と、電源電圧の立ち上がりを検出してパワーオン信号を出力するパワーオン回路60と、強誘電体膜を電極間に有する強誘電体キャパシタと電荷転送用のMOSトランジスタとからなるメモリセルを複数個行列状に配置し、例えば、同一行に属するメモリセルのMOSトランジスタを同一のワード線でそれぞれ共通接続し、同一行に属するメモリセルの強誘電体キャパシタの一方の電極を同一のキャパシタプレート線でそれぞれ共通接続し、同一列に属するメモリセルのMOSトランジスタの一方の端子を同一のビット線でそれぞれ共通接続して構成したメモリセルアレイ30等から構成されている。なお本発明は、上記した半導体基板上に強誘電体メモリセルを形成する場合に限らず、SOIなどのように絶縁基板の上に半導体層上に強誘電体メモリセルを

形成する場合にも適用することが可能である。また、本発明は、前記実施例の他種々変形して実施することが可能である。

【0037】

【発明の効果】以上詳述したように本発明によれば、白金族金属から構成された電極の露出部分を保護膜で被覆することにより、また、選択的にシリサイド化することにより白金族金属の露出を無くし、触媒効果を抑制することができる。その結果キャパシタ形成後における処理に制限をなくし、誘電体膜の特性劣化を防止できる。とくに誘電体膜に強誘電体を用いた場合は、強誘電体膜の残留分極量の劣化を低く抑えることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の電荷蓄積容量素子の断面図。

【図2】電荷蓄積容量素子の製造工程断面図。

【図3】電荷蓄積容量素子の製造工程断面図。

【図4】電荷蓄積容量素子の製造工程断面図。

【図5】電荷蓄積容量素子の製造工程断面図。

【図6】電荷蓄積容量素子の製造工程断面図。

【図7】本発明の第2の実施例の電荷蓄積容量素子の断面図。

【図8】電荷蓄積容量素子の製造工程断面図。

【図9】本発明の第3の実施例の電荷蓄積容量素子の断面図。

【図10】本発明の強誘電体不揮発性メモリのメモリセル（FRAMセル）の断面図。

【図11】強誘電体薄膜の印加電圧／分極特性を示す特性図。

【図12】FRAMセルとして好ましくない状態のヒステリシス特性図。

【図13】書き込み動作を説明するFRAMセルの回路図。

【図14】FRAMセルの書き込み時のプレート電極PLの電位変化図。

【図15】FRAMセルアレイと周辺回路との配置を示すブロック図。

【図16】強誘電体膜の特性を示す特性図。

【図17】強誘電体薄膜製造プロセス図。

【図18】強誘電体薄膜製造プロセス図。

【図19】本発明の強誘電体薄膜製造プロセス図。

【図20】RFIDシステムのシステム構成図、トランスポンダ斜視図及びRFIDチップの平面図。

【図21】トランスポンダの内部回路図。

【図22】従来の電荷蓄積容量素子の断面図。

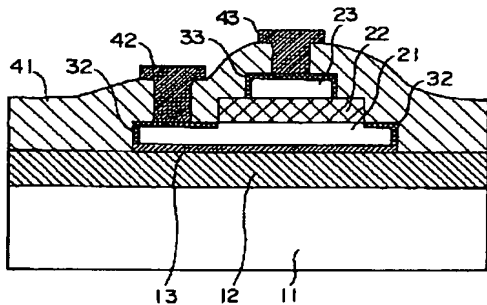
【符号の説明】

1・・・素子分離絶縁膜、 2・・・ドレイン領域、
3・・・ソース領域、 4・・・ゲート酸化膜、
5・・・ゲート電極、 6・・・コンタクト孔、 7・・・接続配線、 11・・・半導体基板、 12・・・

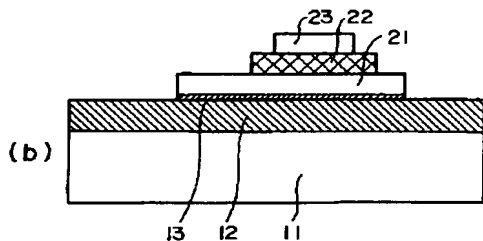
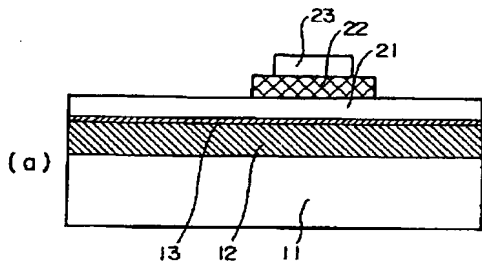
17

第1の層間絶縁膜、 13・・・導電性膜、 21・・・第1の白金族元素の膜、下部電極、 22・・・強誘電体膜、 23・・・第2の白金族元素の膜、上部電極、 30、36、37、38・・・メモリセルアレイ、 31・・・シリコン膜、 32・・・第1の珪素化白金族元素の膜、 33・・・第2の珪素化白金族元素の膜、 34、35・・・シリコン酸化膜、 40・・・

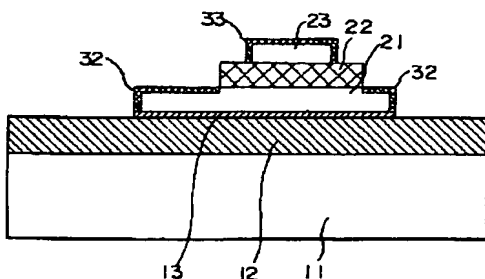
【図1】



【図3】

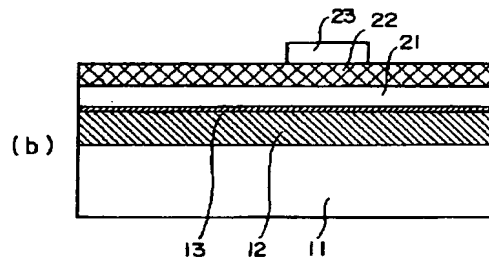
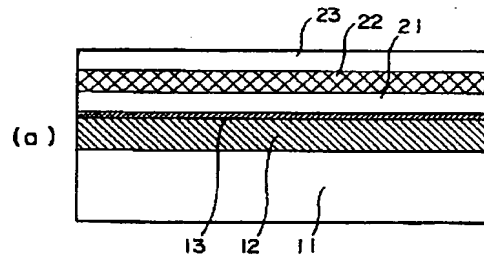


【図5】

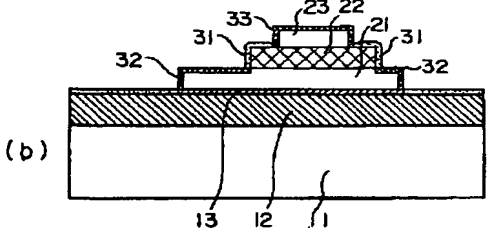
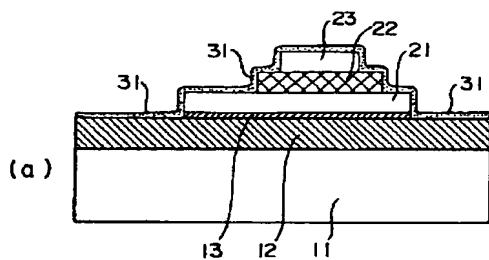


ロウデコーダ回路、 41・・・第2の層間絶縁膜、 42・・・下部電極へのコンタクト、 43・・・上部電極へのコンタクト、 44、45、46、47・・・センスアンプ回路、 48、49・・・プレート線選択回路、 56・・・カラムデコード回路、 58・・・FSK復調回路、 59・・・整流ブリッジ、 60・・・パワーオン回路。

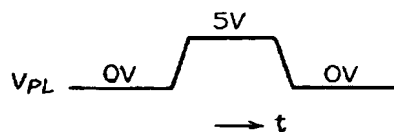
【図2】



【図4】

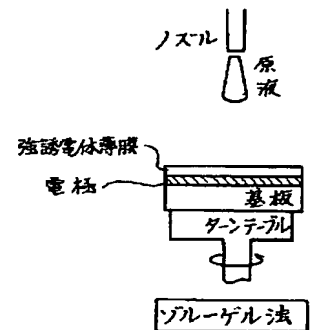


【図14】

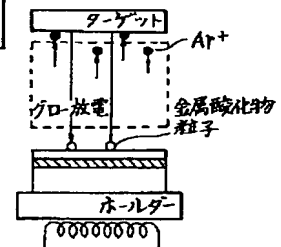


18

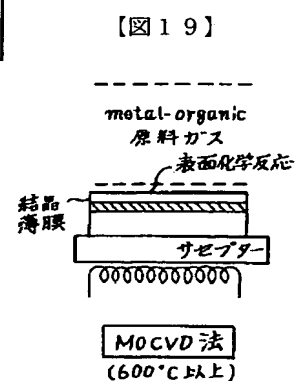
【図17】



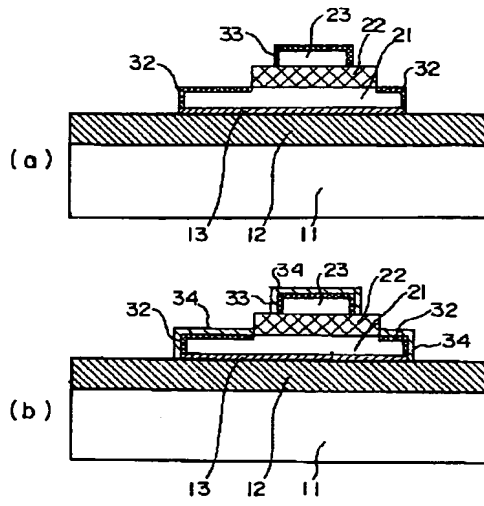
【図18】



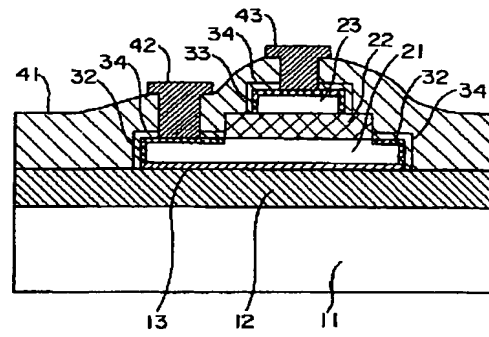
【図19】



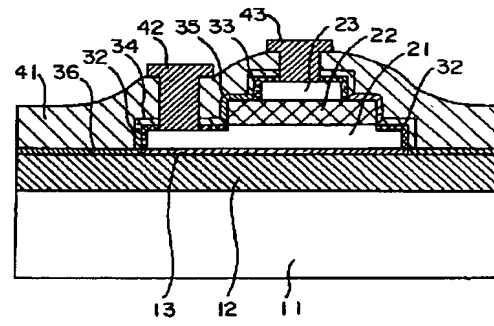
【図 6】



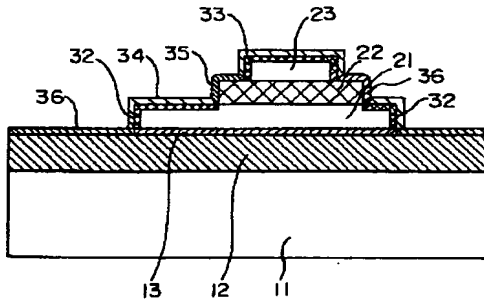
【図 7】



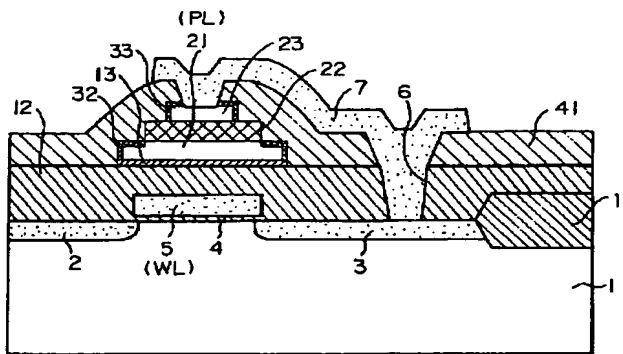
【図 9】



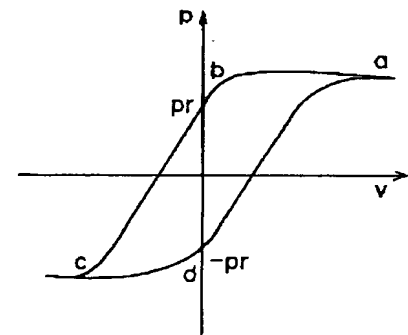
【図 8】



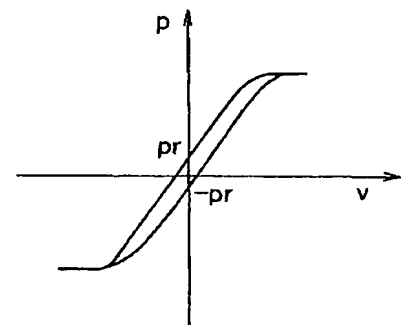
【図 10】



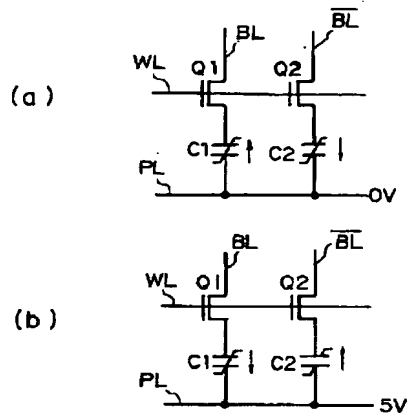
【図 11】



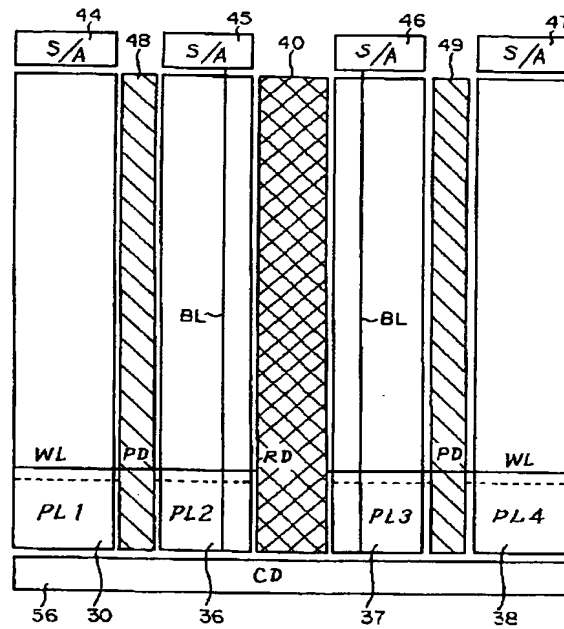
【図 12】



【図13】



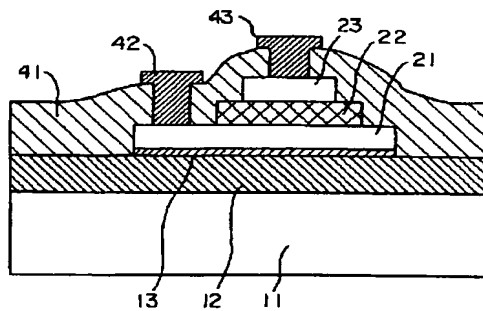
【図15】



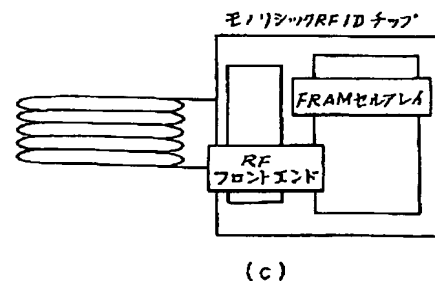
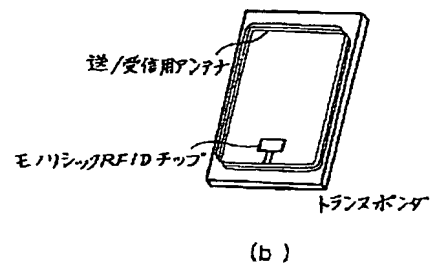
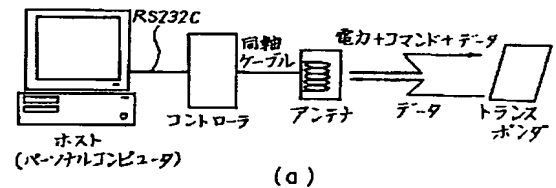
【図16】

物質名	化学式	キュリ温度 (°C)	残留分極 (μC/cm ²)	抗電界 (kV/cm)	比誘電率
チタン酸ジルコン酸鉛 (PZT)	PbZrTiO ₃	387	~30	~20	1000
チタン酸バリウム (BTO)	BaTiO ₃	130	26	12	1000

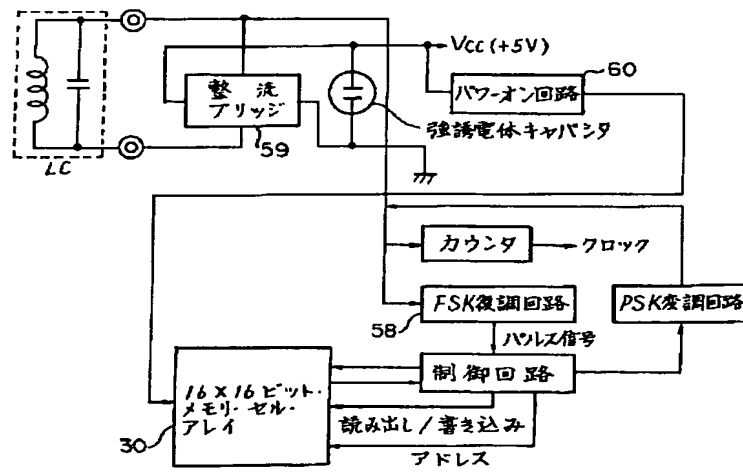
【図22】



【図20】



【図 2 1】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/822

27/10

21/8247

29/788

29/792

識別記号

4 5 1

F I

H 0 1 L 29/78

3 7 1